

1/5/2 (Item 2 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2005 Thomson Derwent. All rts. reserv.

015540353 \*\*Image available\*\*  
WPI Acc No: 2003-602509/ 200357  
XRPX Acc No: N03-480148

Gate insulating film formation method for semiconductor device  
manufacture, involves forming polycrystal layers consisting of insulating  
metal oxide sequentially on semiconductor substrate

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003179051	A	20030627	JP 2001377200	A	20011211	200357 B

Priority Applications (No Type Date): JP 2001377200 A 20011211

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2003179051	A		13 H01L-021/316	

Abstract (Basic): JP 2003179051 A

NOVELTY - The polycrystal layers (12,14,15) consisting of  
insulating metal oxide, are formed sequentially on a semiconductor  
substrate (10) at different temperatures by chemical vapor deposition  
(CVD) method or by physical vapor deposition (PVD) method.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the  
following:

(1) semiconductor device; and

(2) semiconductor device manufacturing method.

USE - For forming gate insulating film during semiconductor device  
e.g. MOS capacitor manufacture (claimed).

ADVANTAGE - Since the polycrystal layer or single crystal layer in  
which a crystal grain boundary does not exist, is laminated one above  
the other, leak path due to crystal grain boundary is prevented and  
pressure resistance and reliability of gate insulating film are  
improved.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional drawing  
providing semiconductor device manufacturing process.

semiconductor substrate (10)  
polycrystal layers (12,14,15)  
pp; 13 DwgNo 1/5

Title Terms: GATE; INSULATE; FILM; FORMATION; METHOD; SEMICONDUCTOR; DEVICE  
; MANUFACTURE; FORMING; POLYCRYSTALLINE; LAYER; CONSIST; INSULATE; METAL;  
OXIDE; SEQUENCE; SEMICONDUCTOR; SUBSTRATE

Derwent Class: U11; U12

International Patent Class (Main): H01L-021/316

International Patent Class (Additional): H01L-021/283; H01L-021/822;

H01L-027/04; H01L-029/43; H01L-029/78

File Segment: EPI

(51)Int.Cl.	識別記号	F I	キーワード(参考)
H 0 1 L	21/316	H 0 1 L 21/316	M 4 M 1 0 4
	21/283	21/283	C 5 F 0 3 8
	21/822	29/78	3 0 1 G 5 F 0 5 8
	27/04	29/62	C 5 F 1 4 0
	29/43	27/04	C

審査請求 未請求 請求項の数22 O L (全 13 頁) 最終頁に続く

(21)出願番号	特願2001-377200(P2001-377200)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成13年12月11日 (2001. 12. 11)	(72)発明者	丹羽 正昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	10007/931 弁理士 前田 弘 (外7名)

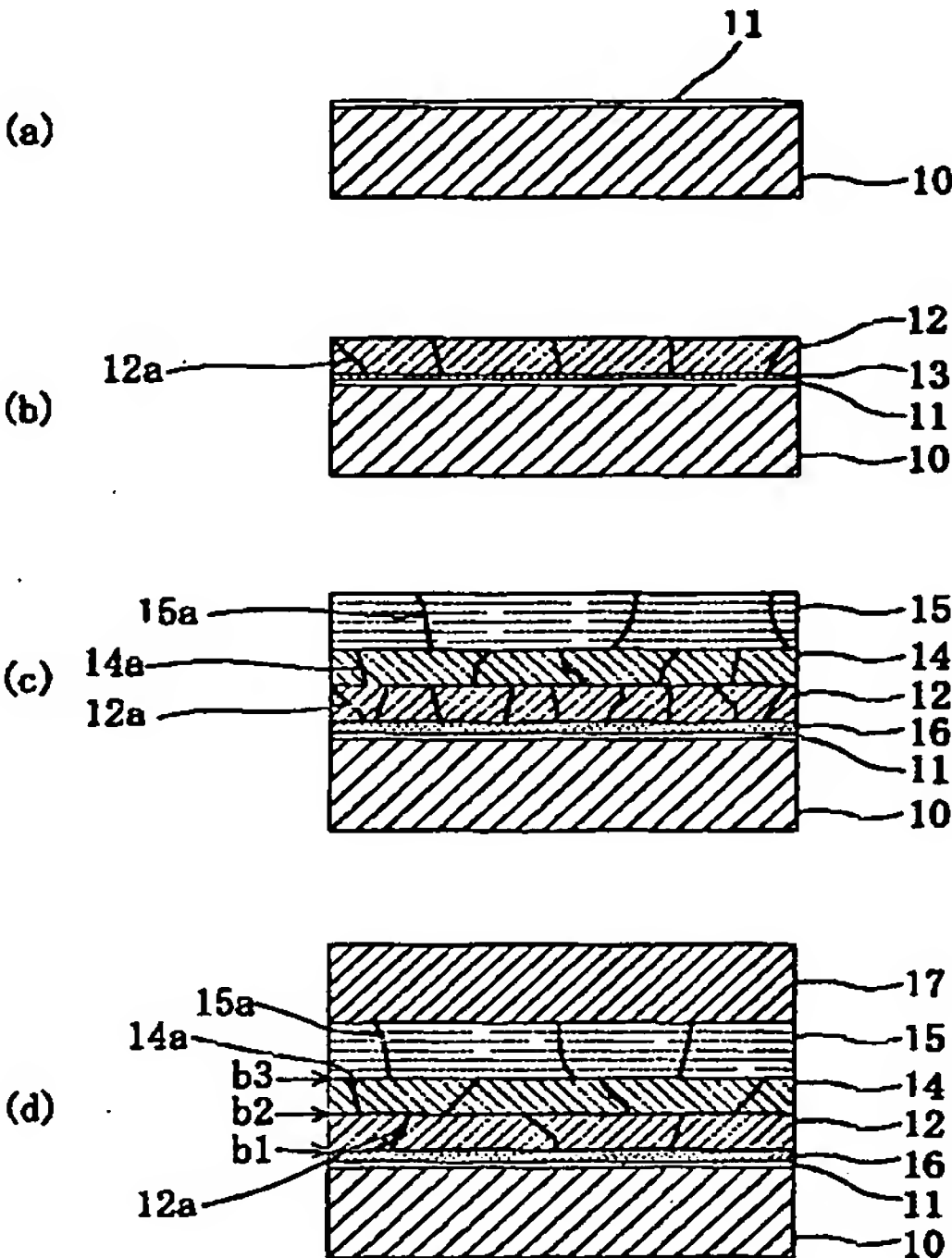
最終頁に続く

(54)【発明の名称】 絶縁膜形成方法、半導体装置及びその製造方法

(57)【要約】

【課題】 絶縁特性の優れた高信頼性を有するhigh-k膜を実現する。

【解決手段】 シリコン基板10上にHfO<sub>2</sub>膜を堆積するときに堆積温度を2回変更することにより、結晶粒界が不連続になるように積層された3層の多結晶HfO<sub>2</sub>層、具体的には第1のHfO<sub>2</sub>層12、第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に、絶縁性の金属酸化物よりなる第1の多結晶層を第1の温度で堆積する工程と、前記第1の多結晶層の上に、前記金属酸化物よりなる第2の多結晶層を、第1の温度と異なる第2の温度で堆積する工程とを備えていることを特徴とする絶縁膜形成方法。

【請求項2】 前記第2の多結晶層の上に、前記金属酸化物よりなる第3の多結晶層を、第2の温度と異なる第3の温度で堆積する工程をさらに備えていることを特徴とする絶縁膜形成方法。

【請求項3】 前記第1の多結晶層及び第2の多結晶層は、CVD法又はPVD法により堆積されることを特徴とする請求項1に記載の絶縁膜形成方法。

【請求項4】 前記金属酸化物は3族元素を含むことを特徴とする請求項1に記載の絶縁膜形成方法。

【請求項5】 前記3族元素はランタノイド、アクチノイド又はアルミニウムであることを特徴とする請求項4に記載の絶縁膜形成方法。

【請求項6】 前記金属酸化物は4族元素を含むことを特徴とする請求項1に記載の絶縁膜形成方法。

【請求項7】 前記4族元素はハフニウム又はジルコニウムであることを特徴とする請求項6に記載の絶縁膜形成方法。

【請求項8】 半導体基板上に、絶縁性の金属酸化物よりなる多結晶層を堆積する工程と、前記多結晶層に対して熱処理を行なう工程と、前記多結晶層の上に、方形状の電極を形成する工程とを備え、前記熱処理を行なう工程は、前記多結晶層における結晶粒界同士の間隔を、前記電極の少なくとも一方向の長さよりも大きくする工程を含むことを特徴とする半導体装置の製造方法。

【請求項9】 前記多結晶層は、CVD法又はPVD法により堆積されることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 半導体基板上に、絶縁性の金属酸化物よりなる単結晶層をエピタキシャル成長させる工程と、前記単結晶層の上に電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項11】 前記単結晶層はMBE法により堆積されることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記金属酸化物は3族元素を含むことを特徴とする請求項8又は10に記載の半導体装置の製造方法。

【請求項13】 前記3族元素はランタノイド、アクチノイド又はアルミニウムであることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 前記金属酸化物は4族元素を含むこと

を特徴とする請求項8又は10に記載の半導体装置の製造方法。

【請求項15】 前記4族元素はハフニウム又はジルコニウムであることを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 半導体基板上に積層された、絶縁性の金属酸化物よりなる複数の多結晶層を備え、前記複数の多結晶層のそれぞれにおける結晶粒界同士は互いに不連続であることを特徴とする半導体装置。

【請求項17】 半導体基板上に形成された、絶縁性の金属酸化物よりなる多結晶層と、前記多結晶層上に形成された方形状の電極とを備え、前記多結晶層における結晶粒界同士の間隔は、前記電極の少なくとも一方向の長さよりも大きいことを特徴とする半導体装置。

【請求項18】 半導体基板上にエピタキシャル成長により形成された、絶縁性の金属酸化物よりなる単結晶層と、前記単結晶層の上に形成された電極とを備えていることを特徴とする半導体装置。

【請求項19】 前記金属酸化物は3族元素を含むことを特徴とする請求項16、17又は18に記載の半導体装置。

【請求項20】 前記3族元素はランタノイド、アクチノイド又はアルミニウムであることを特徴とする請求項19に記載の半導体装置。

【請求項21】 前記金属酸化物は4族元素を含むことを特徴とする請求項16、17又は18に記載の半導体装置。

【請求項22】 前記4族元素はハフニウム又はジルコニウムであることを特徴とする請求項21に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、金属—絶縁物—半導体の3層構造を有する半導体装置及びその製造方法に関し、特に、ゲート絶縁膜材料として高誘電率を有する金属酸化物を用いた電界効果型トランジスタ及びその形成方法に関する。

【0002】

【従来の技術】従来、電界効果型トランジスタ（以下、FETと称する）として、金属—絶縁物—半導体の3層構造を有するMOSFETが用いられている。そして、MOSFETの著しい微細化に伴って、従来のゲート酸化膜の極薄化が加速的に進んでおり、ゲート酸化膜の膜厚は2nm程度にまで到達しつつある。ところが、ゲート酸化膜の物理膜厚が2nm程度よりも薄くなると、ゲート酸化膜に対する電子の透過率が劇的に増加するため、ゲート電極とシリコン基板との間で過大なトンネルリーク電流が流れてしまう結果、MOSFETのラン



ジスタ動作自体が難しくなる。また、ゲート酸化膜の物理膜厚が2 nm程度よりも薄くなると、ゲート酸化膜の膜厚の均一性を維持することも、もはや制御できなくなる。これらの問題は、MOSFETの主目的であるオン電流の増大がもはや期待できなくなることを意味する。このような物性限界を打破すべく、ごく最近、ゲート絶縁膜材料としてシリコン酸化膜よりも誘電率が高い絶縁膜（高誘電率膜）を用いる試みが行なわれている。この試みは、限界値（2 nm程度）よりも大きな物理膜厚と、より大きなゲート絶縁膜容量とを実現し、それによりリーク電流を極力抑えつつ大きなオン電流を得られるようにすることを目的としている。尚、高誘電率膜は一般的に絶縁性の金属酸化物膜である。

【0003】以下、従来の半導体装置、具体的には、高誘電率ゲート絶縁膜を用いた従来のMOSFETの一例について図面を参照しながら説明する。

【0004】図5(a)～(d)は、従来の半導体装置の製造方法の各工程を示すゲート部分の断面図である。

【0005】まず、図5(a)に示すように、シリコン基板50を準備した後、図5(b)に示すように、シリコン基板50の上に、化学的気相成長法（以下、CVD法と称する）を用いて $\text{HfO}_2$ 膜51を形成する。具体的には、例えば $\text{Hf}(\text{OC}(\text{CH}_3)_2)_4$ （以下、 $\text{Hf-t-butoxide}$ と称する）を原料として酸素ガス雰囲気中において500℃の温度下でCVD法を実施することにより厚さ6 nmの $\text{HfO}_2$ 膜51を堆積する。このとき、シリコン基板50と $\text{HfO}_2$ 膜51との間に、つまり、シリコン基板50における $\text{HfO}_2$ 膜51との界面に、CVD法の実施に起因する界面反応により、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （但し $x+y=1$ 、 $x>0$ 、 $y>0$ ））層52が必然的に形成される。上層の $\text{HfO}_2$ 膜51と下層の $\text{HfSi}_x\text{O}_y$ 層52との2層構造は高誘電率ゲート絶縁膜となる。一般的に、 $\text{HfO}_2$ 膜51は多結晶層であり、 $\text{HfSi}_x\text{O}_y$ 層52は非晶質層である。尚、CVD法に代えて物理的気相成長法（以下、PVD法と称する）を用いた場合、堆積時点の $\text{HfO}_2$ 膜における多結晶化の程度はCVD法を用いた場合と比べてやや小さくなる。

【0006】次に、図5(c)に示すように、 $\text{HfO}_2$ 膜51の上に、ポリシリコン等の導電性材料よりなる導電膜を堆積した後、該導電膜に対してドライエッチングを行なって該導電膜をパターン化することによりゲート電極53を形成する。ここで、 $\text{HfO}_2$ 膜51及び $\text{HfSi}_x\text{O}_y$ 層52のそれぞれにおけるゲート電極53の外側部分は除去される。

【0007】次に、窒素ガス雰囲気中において800℃の温度下で $\text{HfO}_2$ 膜51に対して熱処理を30秒間行ない、それにより $\text{HfO}_2$ 膜51の化学量論的組成比を安定化させる。その後、図5(d)に示すように、ゲート電極53の上を含むシリコン基板50の上にシリコン

酸化膜を形成した後、該シリコン酸化膜に対してエッチバックを行なって該シリコン酸化膜をゲート電極53の側面のみに残存させることによりサイドウォール54を形成する。その後、シリコン基板50に対してイオン注入を行なうことにより、シリコン基板50におけるゲート電極53の両側に、不純物が高濃度で拡散したソース領域55及びドレイン領域56を形成する。このとき、同時に、ゲート電極53の上部を構成するポリシリコン膜に対してイオン注入を行なう。その後、窒素ガス雰囲気中において900℃の温度下でシリコン基板50に対して熱処理を行なうことにより、ゲート電極53、ソース領域55及びドレイン領域56のそれぞれに含まれる不純物を活性化させる。尚、サイドウォール54は、ゲート電極53の下側に残存する $\text{HfO}_2$ 膜51及び $\text{HfSi}_x\text{O}_y$ 層52のそれぞれの側部、つまりゲート絶縁膜の側部に対してイオン注入が行なわれることを防止する。

【0008】以上のように形成されたMOSFETにおいては、ゲート電極53に印加される電圧（以下、ゲート電圧と称する）の大小によって、シリコン基板50におけるゲート電極53の直下にチャネル57が形成されたりされなかったりすることによりトランジスタのオン／オフが実現される。また、トランジスタのオン時にチャネル57に流れるオン電流の大きさ $I_{\text{dmax}}$ は次式のように表現される。

$$\text{【0009】 } I_{\text{dmax}} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{\text{ox}} \cdot (V_{\text{g}} - V_{\text{th}})^2$$

ここで、 $\mu$ はチャネルとなる反転層におけるキャリアの移動度、 $W$ はトランジスタのゲート幅、 $L$ はトランジスタのゲート長さ、 $C_{\text{ox}}$ はゲート絶縁膜の容量（以下、ゲート容量と称する）、 $V_{\text{g}}$ はゲート電圧、 $V_{\text{th}}$ は閾値電圧である。

【0010】上記の関係式から、より大きなオン電流を得るためには、 $\mu$ 、 $W$ 、 $C_{\text{ox}}$ 若しくは $(V_{\text{g}} - V_{\text{th}})$ を増大させるか、又は $L$ を縮小させることが重要であることがわかる。ここで、 $C_{\text{ox}}$ を増大させるためには、ゲート絶縁膜の比誘電率 $\epsilon_r$ を増大させるか、又はゲート絶縁膜の物理膜厚 $T_{\text{ox}}$ を減少させることが必要である。すなわち、以上に述べた要因のうちゲート絶縁膜に関わる要因は、 $\mu$ の向上、比誘電率 $\epsilon_r$ の増大、及びゲート絶縁膜の物理膜厚 $T_{\text{ox}}$ の縮小である。そこで、従来、オン電流向上を目指して、ゲート酸化膜とシリコン基板との界面の平坦化による $\mu$ の向上、又はゲート酸化膜の物理膜厚（酸化膜厚） $T_{\text{ox}}$ の極薄化等が試みられてきた。ところが、前述のように、ゲート酸化膜の極薄化も2 nm程度以下になると限界となるため、最近では比誘電率 $\epsilon_r$ （以下、 $k$ と表記することもある）の増大を目指すべく、ゲート絶縁膜材料として高誘電率（high- $k$ ）膜の導入が本格的に検討されるようになってきた。このようなhigh- $k$ 膜の形成にあたっては、原子層成長法（ALD

(atomic layer deposition) 法)を含むCVD法の利用、又はスパッタリング若しくは蒸着によるPVD法の利用が一般的である。

#### 【0011】

【発明が解決しようとする課題】しかしながら、従来のhigh-kゲート絶縁膜においては、同じ物理膜厚のゲート酸化膜(熱酸化膜)と比べた場合には言うまでもなく、同じ電氣的膜厚の熱酸化膜(つまり同じゲート容量を有する物理膜厚のより薄い熱酸化膜)と比べた場合にも、信頼性寿命が短かったり又は絶縁特性が悪かったりする場合が多い。

【0012】尚、シリコン基板と熱酸化膜との界面と比べると、シリコン基板とhigh-k膜との界面特性は劣化しやすいので、シリコン基板とhigh-k膜との界面には界面準位が多量に発生することが知られている。一方、熱酸化膜においては、熱酸化時の体積膨張に伴ってシリコン基板と熱酸化膜との界面に歪みが発生する。この歪みは構造欠陥を誘発する結果、キャリアのトラップサイトとして作用する界面準位が生じるので、MOSFETの特性にさまざまな悪影響、例えばゲート酸化膜の絶縁破壊又はチャネル中のキャリア移動度劣化等をもたらす。但し、このようなゲート酸化膜に起因するトランジスタ特性劣化の程度は、high-kゲート絶縁膜に起因するトランジスタ特性劣化の程度と比べて深刻な程度ではないため、現在まで、ゲート絶縁膜として熱酸化膜が永らく用いられてきた。

【0013】前記に鑑み、本発明は、絶縁特性の優れた高信頼性を有するhigh-k膜を実現することを目的とする。

#### 【0014】

【課題を解決するための手段】前記の目的を達成するために、本件発明者は、従来のhigh-kゲート絶縁膜において信頼性寿命が短くなったり又は絶縁特性が悪化したりする原因について検討した結果、次のような知見を得た。

【0015】すなわち、従来のhigh-k膜は熱酸化膜と比べて非晶質性が不完全である(具体的には多結晶化されやすい)と共に導電性欠陥の生成率が高い。その結果、high-k膜に電圧を印加すると、high-k膜中で生成された導電性欠陥同士がhigh-k膜の結晶粒界(多結晶粒界)を介して容易につながり、このため、同じ電氣的膜厚の熱酸化膜に電圧を印加した場合(この場合の物理膜厚はhigh-k膜の方が大きい)と比べても、high-k膜においてリーク電流経路(リークパス)が形成されやすくなるという現象が生じると考えられる。或いは、high-k膜の多結晶粒界におけるミッドギャップ(バンドギャップの中央)付近に存在する多大な不純物準位を介してリークパスつまりリーク電流が生じやすくなるとも考えられる。

【0016】また、従来の非晶質high-k膜は耐熱性に問題がある。すなわち、high-kゲート絶縁膜の実用化にあ

たっては、従来の低温下での非晶質high-k膜の形成後に、活性化熱処理等の種々の熱処理を行なう必要がある一方、これらの熱処理によりhigh-k膜の非晶質構造は破壊されて多結晶化してしまう。その結果、堆積直後の非晶質high-k膜によってリーク電流を熱酸化膜と比べて大幅に抑制できたとしても、その後の高温熱処理を経て多結晶化されたhigh-k膜によっては、前述のように、リーク電流の増加を引き続き抑制することができない。すなわち、high-k膜がゲート絶縁膜として機能できなくなる。

【0017】本件発明者は、以上に述べてきたような理由によってhigh-kゲート絶縁膜の実用化が阻まれてきたことを考慮して、以下に述べる発明を想到した。

【0018】具体的には、本発明に係る絶縁膜形成方法は、半導体基板上に、絶縁性の金属酸化物よりなる第1の多結晶層を第1の温度で堆積する工程と、第1の多結晶層の上に、金属酸化物よりなる第2の多結晶層を、第1の温度と異なる第2の温度で堆積する工程とを備えている。

【0019】本発明の絶縁膜形成方法によると、絶縁性の金属酸化物膜つまりhigh-k膜の堆積温度を少なくとも1回変更することによって、結晶粒界が不連続になるように積層された複数の多結晶層を有するhigh-k膜を形成する。言い換えると、堆積温度の変更によって、high-k膜を構成する各多結晶層の結晶粒界同士の間隔を制御し、それにより各多結晶層の結晶粒界同士を互いに不連続にする。すなわち、各多結晶層の結晶粒界が多結晶層同士の界面で遮断されるので、絶縁破壊の原因となる電流パス(リークパス)がhigh-k膜全体を貫くことがない。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。このようなhigh-k膜を例えばゲート絶縁膜として用いた場合、トランジスタのオン電流を劣化させることなく、ゲートリーク電流を抑制して消費電力を低減できるので、待機電力の極めて小さい高速トランジスタの製造が可能になる。

【0020】また、本発明の絶縁膜形成方法によると、多結晶層の積層構造を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れている。具体的には、多結晶層の積層構造を有するhigh-k膜は、堆積直後のみならず、その後の熱処理を経た後においても、例えば同じ電氣的膜厚の熱酸化膜と比べてリーク電流を大幅に抑制できる。すなわち、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-k膜を実現できる。

【0021】本発明の絶縁膜形成方法において、第2の多結晶層の上に、金属酸化物よりなる第3の多結晶層を、第2の温度と異なる第3の温度で堆積する工程をさらに備えていることが好ましい。

【0022】このようにすると、第1～第3の多結晶層



を有するhigh-k膜をリークパスが貫くことをより確実に防止できるので、絶縁耐性のより優れたhigh-k膜が得られる。

【0023】本発明の絶縁膜形成方法において、第1の多結晶層及び第2の多結晶層は、CVD法又はPVD法により堆積されることが好ましい。

【0024】このようにすると、各多結晶層中におけるリークパスの貫通を確実に防止できる。

【0025】本発明の絶縁膜形成方法において、金属酸化物は、ランタノイド、アクチノイド若しくはアルミニウム等の3族元素、又は、ハフニウム若しくはジルコニウム等の4族元素を含むことが好ましい。

【0026】このようにすると、第1及び第2の多結晶層を有するhigh-k膜の誘電率を確実に高くできる。

【0027】本発明に係る第1の半導体装置の製造方法は、半導体基板上に、絶縁性の金属酸化物よりなる多結晶層を堆積する工程と、多結晶層に対して熱処理を行なう工程と、多結晶層の上に方形状の電極を形成する工程とを備え、熱処理を行なう工程は、多結晶層における結晶粒界同士の間隔を、電極の少なくとも一方向の長さよりも大きくする工程を含む。

【0028】第1の半導体装置の製造方法によると、絶縁性の金属酸化物よりなる多結晶層をhigh-k膜として堆積した後、多結晶層に対して熱処理を行なって、多結晶層における結晶粒界同士の間隔を、多結晶層上の電極の少なくとも一方向の長さよりも大きくする。その結果、多結晶層における電極の下側に存在する結晶粒界を低減できるので、多結晶層中に、絶縁破壊の原因となるリークパスが生じることを防止できる。具体的には、多結晶層の結晶粒界におけるミッドギャップ付近に存在する多大な不純物準位を介してリーク電流が生じること、又は多結晶層中で生成された導電性欠陥同士が結晶粒界を介してつながってリークパスが形成されることを防止できる。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電気的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。このような多結晶層を有するhigh-k膜を例えばゲート絶縁膜として用いた場合、トランジスタのオン電流を劣化させることなく、ゲートリーク電流を抑制して消費電力を低減できるので、待機電力の極めて小さい高速トランジスタの製造が可能になる。

【0029】また、第1の半導体装置の製造方法によると、多結晶層に対して熱処理（高温処理）を行なうため、該多結晶層を有するhigh-k膜のLSI製造プロセスにおける耐熱性が非晶質high-k膜と比べて大幅に向上する。すなわち、本発明に係る第1の半導体装置の製造方法は、ゲート絶縁膜や容量絶縁膜の形成後に種々の熱処理が行なわれる従来のLSI製造プロセスに適用可能である。従って、リーク電流が大幅に低減された、構造的

にも電氣的にも強固なhigh-k膜を簡単に実現することができる。

【0030】第1の半導体装置の製造方法において、多結晶層をCVD法又はPVD法により堆積してもよい。

【0031】本発明に係る第2の半導体装置の製造方法は、半導体基板上に、絶縁性の金属酸化物よりなる単結晶層をエピタキシャル成長させる工程と、単結晶層の上に電極を形成する工程とを備えている。

【0032】第2の半導体装置の製造方法によると、絶縁性の金属酸化物よりなる単結晶層をhigh-k膜としてエピタキシャル成長させた後、単結晶層の上に電極を形成する。ここで、単結晶層における電極の下側に結晶粒界が存在することがないので、言い換えると、粒界自体が存在しない単結晶層を形成できるので、単結晶層中に、絶縁破壊の原因となるリークパスが生じることを防止できる。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電気的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。このような単結晶層を有するhigh-k膜を例えばゲート絶縁膜として用いた場合、トランジスタのオン電流を劣化させることなく、ゲートリーク電流を抑制して消費電力を低減できるので、待機電力の極めて小さい高速トランジスタの製造が可能になる。

【0033】また、第2の半導体装置の製造方法によると、単結晶層を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れているため、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-k膜を実現できる。

【0034】第2の半導体装置の製造方法において、単結晶層はMBE法により堆積されることが好ましい。

【0035】このようにすると、単結晶層を確実に形成できる。

【0036】第1又は第2の半導体装置の製造方法において、金属酸化物は、ランタノイド、アクチノイド若しくはアルミニウム等の3族元素、又は、ハフニウム若しくはジルコニウム等の4族元素を含むことが好ましい。

【0037】このようにすると、多結晶層又は単結晶層を有するhigh-k膜の誘電率を確実に高くできる。

【0038】本発明に係る第1の半導体装置は、半導体基板上に積層された、絶縁性の金属酸化物よりなる複数の多結晶層を備え、複数の多結晶層のそれぞれにおける結晶粒界同士は互いに不連続である。

【0039】第1の半導体装置によると、絶縁性の金属酸化物よりなり、結晶粒界同士が互いに不連続な複数の多結晶層が半導体基板上に積層されている。すなわち、high-k膜を構成する各多結晶層の結晶粒界が多結晶層同士の界面で遮断されるので、絶縁破壊の原因となるリークパスがhigh-k膜全体を貫くことがない。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄

膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。また、多結晶層の積層構造を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れているため、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-k膜を実現できる。

【0040】本発明に係る第2の半導体装置は、半導体基板上に形成された、絶縁性の金属酸化物よりなる多結晶層と、多結晶層上に形成された方形の電極とを備え、多結晶層における結晶粒界同士の間隔は、電極の少なくとも一方向の長さよりも大きい。

【0041】第2の半導体装置によると、半導体基板と電極との間に、絶縁性の金属酸化物よりなる多結晶層がhigh-k膜として形成されており、多結晶層における結晶粒界同士の間隔は、電極の少なくとも一方向の長さよりも大きい。その結果、多結晶層における電極の下側に存在する結晶粒界を低減できるので、多結晶層中に、絶縁破壊の原因となるリークパスが生じることを防止できる。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。また、多結晶層を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れているため、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-kゲート絶縁膜を実現できる。

【0042】本発明に係る第3の半導体装置は、半導体基板上にエピタキシャル成長により形成された、絶縁性の金属酸化物よりなる単結晶層と、単結晶層の上に形成された電極とを備えている。

【0043】第3の半導体装置によると、半導体基板と電極との間に、絶縁性の金属酸化物よりなる単結晶層がhigh-k膜としてエピタキシャル成長により形成されている。その結果、単結晶層における電極の下側に結晶粒界が存在することがないので、単結晶層中に、絶縁破壊の原因となるリークパスが生じることを防止できる。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。また、単結晶層を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れているため、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-kゲート絶縁膜を実現できる。

【0044】第1、第2又は第3の半導体装置において、金属酸化物は、ランタノイド、アクチノイド若しくはアルミニウム等の3族元素、又は、ハフニウム若しくはジルコニウム等の4族元素を含むことが好ましい。

【0045】このようにすると、多結晶層又は単結晶層を有するhigh-k膜の誘電率を確実に高くできる。

【0046】

【発明の実施の形態】（第1の実施形態）以下、本発明

の第1の実施形態に係る半導体装置及びその製造方法について、金属—絶縁物—半導体の3層構造の絶縁物として金属酸化物を用いたMOSFETを例として図面を参照しながら説明する。

【0047】図1(a)～(d)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0048】まず、図1(a)に示すように、シリコン基板10に対して、例えば酸化前処理等のウェット処理を行なう。具体的には、シリコン基板10に対して、温水洗浄、過酸化水素水を混入したバッファードフッ酸による洗浄、又は過酸化水素水濃度を増加させた改良SC-1溶液による洗浄と、希釈フッ酸による化学酸化膜除去処理とを繰り返して行なう。その後、アンモニアガス中において例えば700℃の温度下でシリコン基板10に対して20秒間の熱処理を行なって、シリコン基板10上に、厚さ1nm程度以下のシリコン窒化膜11を界面反応阻止層として形成する。

【0049】次に、図1(b)に示すように、シリコン基板10の上にシリコン窒化膜11を介して第1のHfO<sub>2</sub>層12を例えばCVD法を用いて形成する。具体的には、例えばHf-t-butoxideを原料として酸素及び窒素雰囲気中において基板温度を310℃に設定してCVD法を実施することにより厚さ2.0nm程度の第1のHfO<sub>2</sub>層12を堆積する。このとき、シリコン基板10（正確にはシリコン窒化膜11）と第1のHfO<sub>2</sub>層12との間に、つまり、シリコン基板10における第1のHfO<sub>2</sub>層12との界面に、CVD法の実施に起因する界面反応により、ハフニウムシリケート（HfSi<sub>x</sub>O<sub>y</sub>（但しx+y=1、x>0、y>0））層13が必然的に形成される。また、第1のHfO<sub>2</sub>層12は多結晶粒界12aを有する多結晶層であり、HfSi<sub>x</sub>O<sub>y</sub>層13は一般に非晶質層である。

【0050】次に、例えばHf-t-butoxideを原料として酸素及び窒素雰囲気中において基板温度を410℃に設定してCVD法を実施することにより、図1(c)に示すように、厚さ2.0nm程度の第2のHfO<sub>2</sub>層14を第1のHfO<sub>2</sub>層12の上に形成する。続いて、例えばHf-t-butoxideを原料として酸素及び窒素雰囲気中において基板温度を525℃に設定してCVD法を実施することにより、厚さ1.5nm程度の第3のHfO<sub>2</sub>層15を第2のHfO<sub>2</sub>層14の上に形成する。ここで、第2のHfO<sub>2</sub>層14は多結晶粒界14aを有する多結晶層であり、第3のHfO<sub>2</sub>層15は多結晶粒界15aを有する多結晶層である。

【0051】すなわち、第1の実施形態では、HfO<sub>2</sub>層の堆積温度（正確には堆積時の基板温度）として310℃、410℃及び525℃の3種類の温度を用いることによって、3層の多結晶層（第1のHfO<sub>2</sub>層12、第2のHfO<sub>2</sub>層14、第3のHfO<sub>2</sub>層15）を有す



るHfO<sub>2</sub>膜を形成する。ところで、堆積厚さは、通常、堆積時間のみならず雰囲気中のガス流量に依存する。例えば、前述のようにCVD法を実施する場合、酸素ガス流量及び窒素ガス流量をそれぞれ一定にして堆積時間を変えることにより堆積厚さを調節することができる。また、堆積時間及び酸素ガス流量をそれぞれ一定にして窒素ガス流量を例えば0から200ml/min(標準状態)まで変化させると、窒素ガス流量にほぼ比例して堆積厚さが直線的に増加する一方、該直線の傾き(堆積厚さの増加率)は基板温度が低いほど大きくなる。そこで、第1の実施形態では、各多結晶HfO<sub>2</sub>層を形成するにあたって、酸素ガス流量を500ml/min(標準状態)、窒素ガス流量を50ml/min(標準状態)、堆積時間を3分とそれぞれ一定にして基板温度だけを変化させることによって、各多結晶HfO<sub>2</sub>層の堆積厚さを調節した。

【0052】尚、前述の各多結晶HfO<sub>2</sub>層の堆積厚さは、各々単層としてシリコン基板10上に形成した場合に得られる値である。従って、各多結晶HfO<sub>2</sub>層の堆積厚さのトータルは単純に計算すると5.5nm(物理厚さ)となるはずである。しかしながら、実際には、第1のHfO<sub>2</sub>層12が第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15の形成時の温度履歴を受けると共に第2のHfO<sub>2</sub>層14が第3のHfO<sub>2</sub>層15の形成時の温度履歴を受けることの影響等によって、第3のHfO<sub>2</sub>層15の堆積時点で、各多結晶HfO<sub>2</sub>層の堆積厚さのトータルは5.5nmよりも薄いと考えられる。

【0053】ところで、前述のように、シリコン基板10上に第1のHfO<sub>2</sub>層12をCVD法により堆積した時点では、一般的に知られているように、第1のHfO<sub>2</sub>層12の下側にHfSi<sub>x</sub>O<sub>y</sub>層13が形成された。それに対して、本実施形態の様に、シリコン基板10上に第1のHfO<sub>2</sub>層12、第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15をCVD法により連続して堆積した場合も、第1のHfO<sub>2</sub>層12の下側に最終的にHfSi<sub>x</sub>O<sub>y</sub>層16が形成されることが判明した。従って、図1(b)及び(c)に示す工程で3層のHfO<sub>2</sub>層を連続形成した時点で、シリコン基板10上には、シリコン窒化膜11を介して、HfSi<sub>x</sub>O<sub>y</sub>層16、第1のHfO<sub>2</sub>層12、第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15が順次積層された4層構造が生じている。この4層構造は、ゲート絶縁膜を構成するhigh-k膜である。

【0054】ここで、HfSi<sub>x</sub>O<sub>y</sub>層16は、上層となる3層のHfO<sub>2</sub>層が堆積されるたびに追加的に形成されたものと考えられる。言い換えると、HfSi<sub>x</sub>O<sub>y</sub>層16は、第1のHfO<sub>2</sub>層12の堆積時点で形成されたHfSi<sub>x</sub>O<sub>y</sub>層13が、第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15の堆積時点で成長したものと考えられる。但し、HfSi<sub>x</sub>O<sub>y</sub>層13からHfSi<sub>x</sub>O<sub>y</sub>層16への堆積厚さの増加は小さい。また、該堆積厚さの増加

分は、主として第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15の堆積時点に生じたものである。また、HfSi<sub>x</sub>O<sub>y</sub>層のような界面シリケート層の形成機構は明らかではないが、HfO<sub>2</sub>層の形成時に反応種がHfO<sub>2</sub>層中を拡散することによりシリコン基板との間で界面反応が起きることが原因と考えられる。

【0055】最後に、図1(d)に示すように、窒素ガス雰囲気中において例えば750℃の温度下でシリコン基板10に対してアニール(以下、安定化熱処理と称する)を30秒間行ない、それにより各HfO<sub>2</sub>層の結合状態又は組成比を安定化させた後、ゲート電極となる窒化タンタル膜17を第3のHfO<sub>2</sub>層15の上に形成する。これによりMOS構造が完成する。その後、図示は省略しているが、ドライエッチングを用いて窒化タンタル膜17をパターン化することによりゲート電極を形成した後、該ゲート電極の側面にサイドウォールを形成し、その後、シリコン基板10に、ソース領域及びドレイン領域となる不純物拡散層を形成する。

【0056】ところで、第1の実施形態では、前述のように、HfO<sub>2</sub>層の堆積温度として310℃、410℃及び525℃の3種類の温度を用いることによって、3層の多結晶HfO<sub>2</sub>層、具体的には第1のHfO<sub>2</sub>層12、第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15を形成した。このとき、堆積温度が低いHfO<sub>2</sub>層ほど堆積時点での結晶粒界同士の間隔(つまり結晶粒径)は小さい。具体的には、図1(c)に示すように、3層のHfO<sub>2</sub>層を連続形成した時点では、比較的低温で形成された第1のHfO<sub>2</sub>層12における多結晶粒界12a同士の間隔は比較的小さい。それに対して、比較的高温で形成された第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15のそれぞれにおける、多結晶粒界14a同士の間隔及び多結晶粒界15a同士の間隔は比較的大きい。

【0057】ところが、3層の多結晶HfO<sub>2</sub>層を形成した後に安定化熱処理を行なうと、各多結晶HfO<sub>2</sub>層における結晶粒界同士の間隔は大きく変化する。このとき、堆積温度が低いHfO<sub>2</sub>層ほど、結晶粒界同士の間隔(つまり結晶粒径)が大きく成長する。その結果、第1の実施形態では、図1(d)に示すように、安定化熱処理によって、各多結晶HfO<sub>2</sub>層における結晶粒界同士の間隔の大小が逆転してしまう。具体的には、比較的低温で形成された第1のHfO<sub>2</sub>層12における多結晶粒界12a同士の間隔は非常に大きくなっている。一方、比較的高温で形成された第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15のそれぞれにおける、多結晶粒界14a同士の間隔及び多結晶粒界15a同士の間隔については大型化の進行が鈍化している。

【0058】図2は、図1(a)～(d)に示す第1の実施形態に係る半導体装置の製造方法によって形成されたhigh-k膜(具体的にはHfSi<sub>x</sub>O<sub>y</sub>層16、第1のHfO<sub>2</sub>層12、第2のHfO<sub>2</sub>層14及び第3のHfO<sub>2</sub>層15)の断面図である。



層15の積層構造)を有するMOSキャパシタのI-V特性(電流-電圧特性)を示している。図2において、横軸は $V_{ox}$ (=ゲート電圧 $V_g$ -閾値電圧 $V_{th}$ )を示しており、また、縦軸はリーク電流 $J_g$ を示している。また、図2において、第1の実施形態のhigh-k膜を有するMOSキャパシタのI-V特性を点線で示しており、比較例として例えば図5(a)~(d)に示す従来の方法で形成されたhigh-k膜を有するMOSキャパシタのI-V特性を実線で示している。尚、第1の実施形態(実施例)のhigh-k膜における酸化膜換算膜厚(以下、EOTと称する)は1.6nmであり、比較例(従来例)のhigh-k膜におけるEOTもそれに合わせている。

【0059】図2に示すように、実施例で得られたI-V特性値は従来例よりも小さくなっている。言い換えると、実施例のリーク電流 $J_g$ は従来例よりも小さくなっている。この理由は次のように考えられる。

【0060】すなわち、第1の実施形態によると、high-k膜となる $HfO_2$ 層の堆積温度を2回変更することにより、結晶粒界が不連続になるように積層された複数の多結晶層(つまり第1の $HfO_2$ 層12、第2の $HfO_2$ 層14及び第3の $HfO_2$ 層15)を有するhigh-k膜を形成する。言い換えると、堆積温度の変更によって、high-k膜を構成する各多結晶 $HfO_2$ 層の結晶粒界同士の間隔を制御し、それにより各多結晶 $HfO_2$ 層の結晶粒界同士を互いに不連続にする。具体的には、各 $HfO_2$ 層の多結晶粒界12a、14a及び15aは、 $HfSi_xO_y$ 層16と第1の $HfO_2$ 層12との界面b1、第1の $HfO_2$ 層12と第2の $HfO_2$ 層14との界面b2、及び第2の $HfO_2$ 層14と第3の $HfO_2$ 層15との界面b3によって遮断される。その結果、絶縁破壊の原因となるリークパスが、 $HfSi_xO_y$ 層16、第1の $HfO_2$ 層12、第2の $HfO_2$ 層14及び第3の $HfO_2$ 層15から構成されるhigh-k膜全体を貫くことがない。すなわち、high-k膜の材料として例えば $HfO_2$ という単一の材料を用いる場合でも、該材料を温度を変えながら堆積して多結晶層の積層構造を形成することによって、例えば多結晶粒界におけるミッドギャップ付近に存在する多大な不純物準位を介してリーク電流が生じることを防止できる。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電気的膜厚を達成しつつゲート絶縁膜の耐圧及び信頼性を向上させることができる。従って、トランジスタのオン電流を劣化させることなく、ゲートリーク電流を抑制して消費電力を低減できるので、待機電力の極めて小さい高速トランジスタの製造が可能になる。

【0061】また、第1の実施形態によると、多結晶 $HfO_2$ 層の積層構造を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れている。具体的には、多結晶 $HfO_2$ 層の積層構造を有するhigh-k膜は、堆積直後のみならず、その後の熱処理を経た後においても、例えば同じ

電気的膜厚の熱酸化膜と比べてリーク電流を大幅に抑制できる。すなわち、リーク電流が大幅に低減された、構造的にも電気的にも強固なhigh-kゲート絶縁膜を実現できる。

【0062】また、第1の実施形態によると、第1の $HfO_2$ 層12、第2の $HfO_2$ 層14及び第3の $HfO_2$ 層15のそれぞれをCVD法を用いて形成するため、各多結晶 $HfO_2$ 層中におけるリークパスの貫通を確実に防止できる。

【0063】尚、第1の実施形態において、high-kゲート絶縁膜となる金属酸化物層(具体的には $HfO_2$ 層)の堆積温度として310℃、410℃及び525℃の3種類の温度を用いた。言い換えると、 $HfO_2$ 層の堆積温度を2回変更した。しかし、第1の実施形態においては $HfO_2$ 層の堆積温度を少なくとも1回変更することにより、前述の効果を得ることができる。但し、該効果を確実に得るためには、 $HfO_2$ 層の堆積温度を2回以上変更することが好ましく、さらに、プロセスの容易さを考慮すれば、本実施形態のように、 $HfO_2$ 層の堆積温度を2回変更することが好ましい。また、 $HfO_2$ 層の堆積温度を2回変更する場合、最初の堆積温度と最後の堆積温度とが同じであってもよい。

【0064】また、第1の実施形態において、 $HfO_2$ 層をCVD法を用いて形成したが、これに代えて、スパッタ法等のPVD法を用いて形成してもよい。但し、PVD法を用いた場合、堆積時点の $HfO_2$ 層における多結晶化の程度はCVD法を用いた場合と比べてやや小さくなる。

【0065】また、第1の実施形態において、ゲート絶縁膜材料となる高誘電率の金属酸化物として $HfO_2$ を用いた。しかし、これに限られず、ランタノイド、アクチノイド若しくはアルミニウム等の3族元素(3A族元素及び3B族元素の両方を含む)、又は、ジルコニウム等の4族元素を含む他の金属酸化物を用いてもよい。具体的には、多結晶構造を呈する高誘電率の他の金属酸化物、例えば $ZrO_2$ 、 $Al_2O_3$ 又は $La_2O_3$ 等を用いて、結晶粒界が不連続になるように積層された複数の多結晶層を有するゲート絶縁膜を形成することによっても同様の効果が得られる。

【0066】また、第1の実施形態において、高誘電率を有する金属酸化物膜をゲート絶縁膜として用いたMOSFETを対象としたが、これに限られず、金属酸化物膜を用いた他のデバイス、例えば、金属酸化物膜を容量絶縁膜として用いたキャパシタ等を対象としても同様の効果が得られることは言うまでもない。

【0067】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について、金属-絶縁物-半導体の3層構造の絶縁物として金属酸化物を用いたMOSFETを例として図面を参照しながら説明する。

【0068】図3(a)～(d)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0069】まず、図3(a)に示すように、シリコン基板20に対して、例えば酸化前処理等のウェット処理を行なう。具体的には、シリコン基板20に対して、温水洗浄、過酸化水素水を混入したバッファードフッ酸による洗浄、又は過酸化水素水濃度を増加させた改良SC-1溶液による洗浄と、希釈フッ酸による化学酸化膜除去処理とを繰り返し行なう。その後、アンモニアガス中において例えば700℃の温度下でシリコン基板20に対して20秒間の熱処理を行なって、シリコン基板20上に、厚さ1nm程度以下のシリコン窒化膜21を界面反応阻止層として形成する。

【0070】次に、図3(b)に示すように、シリコン基板20の上にシリコン窒化膜21を介してHfO<sub>2</sub>膜22を例えばCVD法を用いて形成する。具体的には、例えばHf-t-butoxideを原料として酸素及び窒素雰囲気中において基板温度を650℃に設定してCVD法を実施することにより厚さ6.0nm程度のHfO<sub>2</sub>膜22を堆積する。このとき、シリコン基板20（正確にはシリコン窒化膜21）とHfO<sub>2</sub>膜22との間に、つまり、シリコン基板20におけるHfO<sub>2</sub>膜22との界面に、CVD法の実施に起因する界面反応により、図3(b)に示すように、ハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>（但しx+y=1、x>0、y>0））層23が必然的に形成される。従って、図3(b)に示す工程でHfO<sub>2</sub>膜22を形成した時点で、シリコン基板20上には、シリコン窒化膜21を介して、HfSi<sub>x</sub>O<sub>y</sub>層23及びHfO<sub>2</sub>膜22が積層された2層構造が生じている。この2層構造は、ゲート絶縁膜を構成するhigh-k膜である。尚、HfO<sub>2</sub>膜22は多結晶粒界22aを有する多結晶層であるのに対して、HfSi<sub>x</sub>O<sub>y</sub>層23は一般に非晶質層である。

【0071】尚、HfO<sub>2</sub>膜22の堆積にあたっては、酸素ガス流量及び窒素ガス流量をそれぞれ一定にして堆積時間により堆積厚さを調節した。具体的には、酸素ガス流量を500mL/min（標準状態）、窒素ガス流量を50mL/min（標準状態）とそれぞれ一定にして堆積時間を9分に設定した。

【0072】ところで、第2の実施形態においては、HfO<sub>2</sub>膜22を650℃という比較的高い温度で形成しているため、HfO<sub>2</sub>膜22における多結晶粒界22a同士の間隔は堆積時点で比較的大きくなっている。例えば、HfO<sub>2</sub>膜22における多結晶粒界22aの密度は、第1の実施形態において310℃で形成された第1のHfO<sub>2</sub>層12における多結晶粒界12aの密度よりも小さい（図1(b)参照）。

【0073】次に、窒素ガス雰囲気中において例えば900℃の温度下でシリコン基板20に対して高温アニー

ルを60秒間行ない、それによりHfO<sub>2</sub>膜22の結合状態又は組成比を安定化させる。このとき、高温アニールによって、図3(c)に示すように、HfO<sub>2</sub>膜22における多結晶粒界22a同士の間隔は堆積時点（図3(b)参照）と比べてさらに拡大する。具体的には、前述の高温アニール後のHfO<sub>2</sub>膜22における多結晶粒界22a同士の間隔は50nmを超える場合が多い。

【0074】そこで、次に、図3(d)に示すように、ゲート長が50nm程度以下のゲート電極24をHfO<sub>2</sub>膜22の上に形成する。これにより、HfO<sub>2</sub>膜22におけるゲート電極24の下側に多結晶粒界22aが存在しないようにできる（厳密にはHfO<sub>2</sub>膜22におけるゲート電極24の下側に多結晶粒界22aが存在する確率を低減できる）。尚、本実施形態において、ゲート電極24は、例えば窒化タンタル等よりなり、実質的に電極として機能する方形状の導電パターンを意味するものとする。その後、図示は省略しているが、ゲート電極24の側面にサイドウォールを形成した後、シリコン基板20に、ソース領域及びドレイン領域となる不純物拡散層を形成する。

【0075】以上に説明したように、第2の実施形態によると、シリコン基板20の上に、多結晶構造を有するHfO<sub>2</sub>膜22をhigh-kゲート絶縁膜として堆積した後、HfO<sub>2</sub>膜22に対して熱処理（高温アニール）を行なって、HfO<sub>2</sub>膜22における多結晶粒界22a同士の間隔を、HfO<sub>2</sub>膜22上のゲート電極24のゲート長よりも大きくする。その結果、HfO<sub>2</sub>膜22におけるゲート電極24の下側に存在する多結晶粒界22aを低減できるので、絶縁破壊の原因となるリークパスがHfO<sub>2</sub>膜22中に生じることを防止できる。具体的には、HfO<sub>2</sub>膜22の多結晶粒界22aにおけるミッドギャップ付近に存在する多大な不純物準位を介してリーク電流が生じること、又はHfO<sub>2</sub>膜22中で生成された導電性欠陥同士が多結晶粒界22aを介してつながってリークパスが形成されることを防止できる。このため、絶縁耐性の優れたhigh-kゲート絶縁膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜の耐圧及び信頼性を向上させることができる。従って、トランジスタのオン電流を劣化させることなく、ゲートリーク電流を抑制して消費電力を低減できるので、待機電力の極めて小さい高速トランジスタの製造が可能になる。

【0076】また、第2の実施形態によると、多結晶構造のHfO<sub>2</sub>膜22に対して高温アニールを行なうため、該HfO<sub>2</sub>膜22を有するhigh-k膜のLSI製造プロセスにおける耐熱性が非晶質high-k膜と比べて大幅に向上する。すなわち、本実施形態は、ゲート絶縁膜形成後に種々の熱処理が行なわれる従来のLSI製造プロセスに適用可能である。従って、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-kゲート絶縁



膜を簡単に実現できる。

【0077】尚、第2の実施形態において、 $\text{HfO}_2$  膜22に対して高温アニールを行なうことにより、 $\text{HfO}_2$  膜22における多結晶粒界22a同士の間隔（つまり結晶粒径）を、 $\text{HfO}_2$  膜22上のゲート電極24のゲート長よりも大きくした。しかし、これに代えて、高温アニールを用いて、 $\text{HfO}_2$  膜22の結晶サイズ自体を、ゲート電極24のゲート面積よりも大きくしてもよい。この場合、 $\text{HfO}_2$  膜22におけるゲート電極24の下側に存在する多結晶粒界22aをより一層低減できる。

【0078】また、第2の実施形態において、 $\text{HfO}_2$  膜22をCVD法を用いて形成したが、これに代えて、スパッタ法等のPVD法を用いて形成してもよい。但し、PVD法を用いた場合、堆積時点の $\text{HfO}_2$  膜における多結晶化の程度はCVD法を用いた場合と比べてやや小さくなる。

【0079】また、第2の実施形態において、ゲート絶縁膜材料となる高誘電率の金属酸化物として $\text{HfO}_2$  を用いた。しかし、これに限られず、ランタノイド、アクチノイド若しくはアルミニウム等の3族元素（3A族元素及び3B族元素の両方を含む）、又は、ジルコニウム等の4族元素を含む他の金属酸化物を用いてもよい。具体的には、多結晶構造を呈する高誘電率の他の金属酸化物、例えば $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 又は $\text{La}_2\text{O}_3$ 等を用いて多結晶層を形成し、その後、該多結晶層に対して高温アニールを行なって結晶粒界同士の間隔をゲート電極の少なくとも一方向の長さより大きくすることによっても同様の効果が得られる。

【0080】また、第2の実施形態において、高誘電率を有する金属酸化物膜をゲート絶縁膜として用いたMOSFETを対象としたが、これに限られず、金属酸化物膜を用いた他のデバイス、例えば、金属酸化物膜を容量絶縁膜として用いたキャパシタ等を対象としても同様の効果が得られることは言うまでもない。キャパシタを対象とする場合、容量絶縁膜となる金属酸化物の多結晶層に対して高温アニールを行なって結晶粒界同士の間隔をプレート電極（実質的に電極として機能する方形の導電パターン）の少なくとも一方向の長さよりも大きくする。

【0081】（第2の実施形態の変形例）以下、本発明の第2の実施形態の変形例に係る半導体装置及びその製造方法について、金属—絶縁物—半導体の3層構造の絶縁物として金属酸化物を用いたMOSFETを例として図面を参照しながら説明する。

【0082】尚、第2の実施形態の変形例が第2の実施形態と異なっている点は次の通りである。すなわち、第2の実施形態においては、high-kゲート絶縁膜となる多結晶金属酸化物層におけるゲート電極の下側に結晶粒界が存在しないようにするため、多結晶金属酸化物層の堆

積後に熱処理を行なって多結晶金属酸化物層における結晶粒界同士の間隔をゲート長よりも大きくした。それに対して、第2の実施形態の変形例においては、high-kゲート絶縁膜となる単結晶金属酸化物層をシリコン基板上にエピタキシャル成長させることによって、熱処理を行なうことなく、単結晶金属酸化物層におけるゲート電極の下側に結晶粒界が存在しないようにする。

【0083】図4（a）～（c）は本発明の第2の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【0084】まず、図4（a）に示すように、シリコン基板30に対して、例えば酸化前処理等のウェット処理を行なう。具体的には、シリコン基板30に対して、温水洗浄、過酸化水素水を混入したバッファードフッ酸による洗浄、又は過酸化水素水濃度を増加させた改良SC-1溶液による洗浄と、希釈フッ酸による化学酸化膜除去処理とを繰り返して行なう。その後、アンモニアガス中において例えば700℃の温度下でシリコン基板30に対して20秒間の熱処理を行なって、シリコン基板30上に、厚さ1nm程度以下のシリコン窒化膜31を界面反応阻止層として形成する。このとき、後の工程で $\text{HfO}_2$  膜をエピタキシャル成長させやすくするためにシリコン窒化膜31をできる限り薄く形成することが好ましい。

【0085】次に、図4（b）に示すように、シリコン基板30の上にシリコン窒化膜31を介して $\text{HfO}_2$  膜32をエピタキシャル成長させる。具体的には、例えば基板温度を600～700℃程度に設定して、 $10^{-7}$ ～ $10^{-8}$ Pa程度の真空状態でMBE（molecular beam epitaxy：分子線エピタキシー）法を実施することにより厚さ6.0nm程度の $\text{HfO}_2$  膜32を堆積する。このとき、シリコン基板30（正確にはシリコン窒化膜31）と $\text{HfO}_2$  膜32との間に、つまりシリコン基板30における $\text{HfO}_2$  膜32との界面に、MBE法の実施に起因する界面反応に起因して、図4（b）に示すように、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （但し $x+y=1$ 、 $x>0$ 、 $y>0$ ））層33が必然的に形成される。従って、図4（b）に示す工程で $\text{HfO}_2$  膜32を形成した時点で、シリコン基板30上にはシリコン窒化膜31を介して、 $\text{HfSi}_x\text{O}_y$  層33及び $\text{HfO}_2$  膜32が積層された2層構造が生じている。この2層構造は、ゲート絶縁膜を構成するhigh-k膜である。尚、 $\text{HfO}_2$  膜32は単結晶層であるのに対して、 $\text{HfSi}_x\text{O}_y$  層33は一般に非晶質層である。

【0086】次に、図4（c）に示すように、例えば窒化タンタルよりなるゲート電極34を $\text{HfO}_2$  膜32の上に形成する。その後、図示は省略しているが、ゲート電極34の側面にサイドウォールを形成した後、シリコン基板30に、ソース領域及びドレイン領域となる不純物拡散層を形成する。

【0087】以上に説明したように、第2の実施形態の変形例によると、シリコン基板30の上に、単結晶構造を有する $\text{HfO}_2$ 膜32をhigh-kゲート絶縁膜としてエピタキシャル成長させた後、 $\text{HfO}_2$ 膜32の上にゲート電極34を形成する。ここで、 $\text{HfO}_2$ 膜32におけるゲート電極34の下側に結晶粒界が存在することがないので、言い換えると、粒界自体が存在しない $\text{HfO}_2$ 膜32を形成できるので、 $\text{HfO}_2$ 膜32中に、絶縁破壊の原因となるリークパスが生じることを防止できる。このため、絶縁耐性の優れたhigh-kゲート絶縁膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜の耐圧及び信頼性を向上させることができる。従って、トランジスタのオン電流を劣化させることなく、ゲートリーク電流を抑制して消費電力を低減できるので、待機電力の極めて小さい高速トランジスタの製造が可能になる。

【0088】また、第2の実施形態の変形例によると、 $\text{HfO}_2$ 膜32に対して熱処理を行なうことなく前述の効果が得られるので、製造工程を簡単化できる。

【0089】また、第2の実施形態の変形例によると、単結晶構造の $\text{HfO}_2$ 膜32を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れているため、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-kゲート絶縁膜を簡単に実現できる。

【0090】また、第2の実施形態の変形例によると、 $\text{HfO}_2$ 膜32をMBE法を用いて形成するため、単結晶構造を有する $\text{HfO}_2$ 膜32を確実に形成できる。

【0091】尚、第2の実施形態の変形例において、 $\text{HfO}_2$ 膜32をMBE法を用いて形成したが、これに代えて、単結晶構造を有する $\text{HfO}_2$ 膜を形成できる他のエピタキシャル成長法を用いても同様の効果が得られることは言うまでもない。

【0092】また、第2の実施形態の変形例において、ゲート絶縁膜材料となる高誘電率の金属酸化物として $\text{HfO}_2$ を用いた。しかし、これに限られず、ランタノイド、アクチノイド若しくはアルミニウム等の3族元素（3A族元素及び3B族元素の両方を含む）、又は、ジルコニウム等の4族元素を含む他の金属酸化物を用いてもよい。具体的には、単結晶構造を呈する高誘電率の他の金属酸化物、例えば $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 又は $\text{La}_2\text{O}_3$ 等を用いて単結晶層をシリコン基板30上にエピタキシャル成長させても同様の効果が得られる。

【0093】また、第2の実施形態の変形例において、高誘電率を有する金属酸化物膜をゲート絶縁膜として用いたMOSFETを対象としたが、これに限られず、金属酸化物膜を用いた他のデバイス、例えば、金属酸化物膜を容量絶縁膜として用いたキャパシタ等を対象としても同様の効果が得られることは言うまでもない。

【0094】

【発明の効果】本発明によると、結晶粒界が不連続にな

るように積層された複数の多結晶層、又は電極の下側部分に結晶粒界が存在しない多結晶層若しくは単結晶層をhigh-k膜として設けるため、結晶粒界に起因するリークパスがhigh-k膜に生じることを防止できる。このため、絶縁耐性の優れたhigh-k膜が得られるので、熱酸化膜の薄膜化限界を超える極薄の電氣的膜厚を達成しつつゲート絶縁膜や容量絶縁膜の耐圧及び信頼性を向上させることができる。また、多結晶層又は単結晶層を有するhigh-k膜の耐熱性は非晶質high-k膜と比べて優れているため、リーク電流が大幅に低減された、構造的にも電氣的にも強固なhigh-k膜を実現できる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法によって形成されたhigh-k膜を有するMOSキャパシタのI-V特性を示す図である。

【図3】(a)～(d)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(c)は本発明の第2の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)～(d)は従来の半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

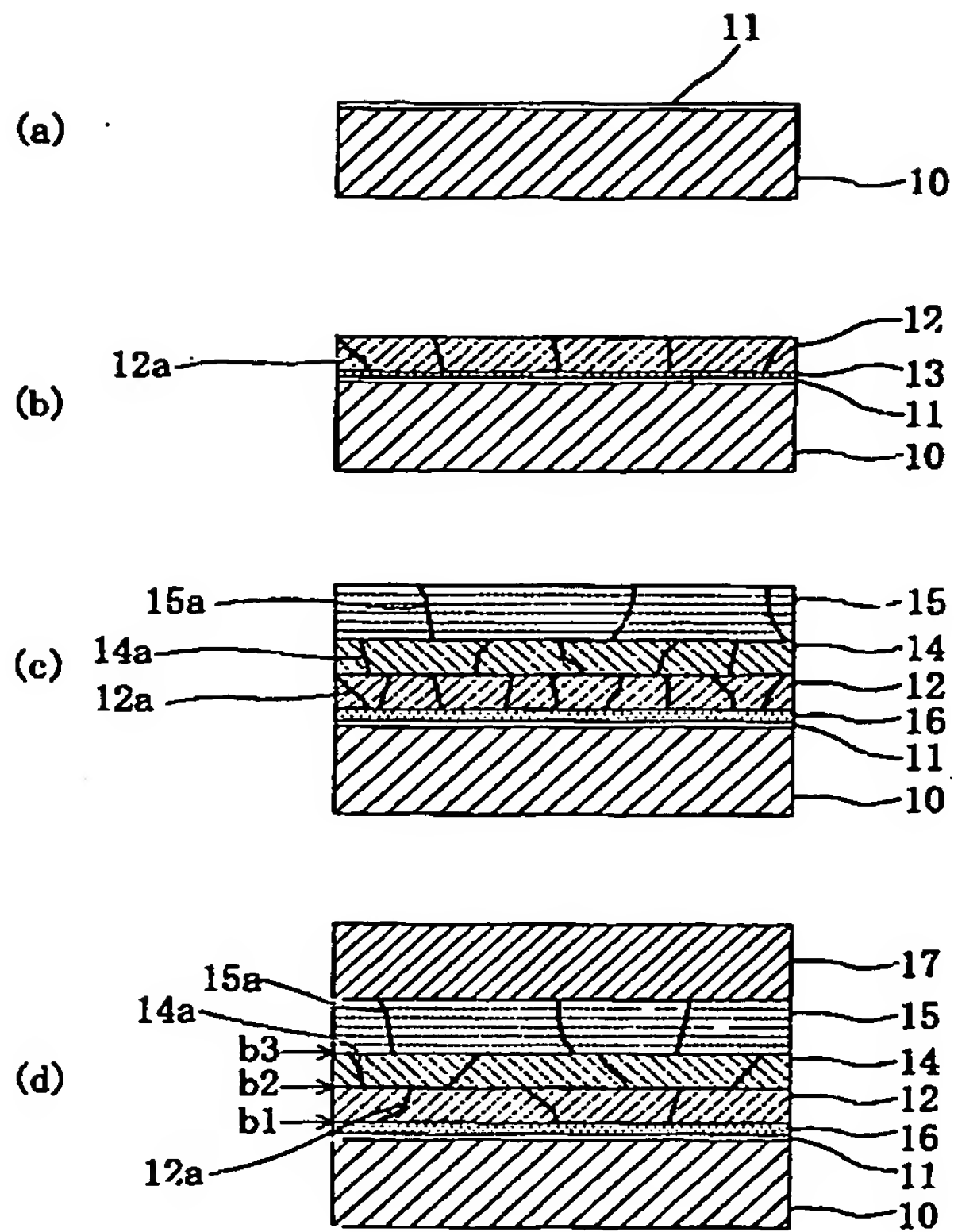
- 10 シリコン基板
- 11 シリコン窒化膜
- 12 第1の $\text{HfO}_2$ 層
- 12a 多結晶粒界
- 13  $\text{HfSi}_x\text{O}_y$ 層
- 14 第2の $\text{HfO}_2$ 層
- 14a 多結晶粒界
- 15 第3の $\text{HfO}_2$ 層
- 15a 多結晶粒界
- 16  $\text{HfSi}_x\text{O}_y$ 層
- 17 窒化タンタル膜
- 20 シリコン基板
- 21 シリコン窒化膜
- 22  $\text{HfO}_2$ 膜
- 22a 多結晶粒界
- 23  $\text{HfSi}_x\text{O}_y$ 層
- 24 ゲート電極
- 30 シリコン基板
- 31 シリコン窒化膜
- 32  $\text{HfO}_2$ 膜
- 33  $\text{HfSi}_x\text{O}_y$ 層
- 34 ゲート電極
- b1  $\text{HfSi}_x\text{O}_y$ 層16と第1の $\text{HfO}_2$ 層12との界面
- b2 第1の $\text{HfO}_2$ 層12と第2の $\text{HfO}_2$ 層14



との界面

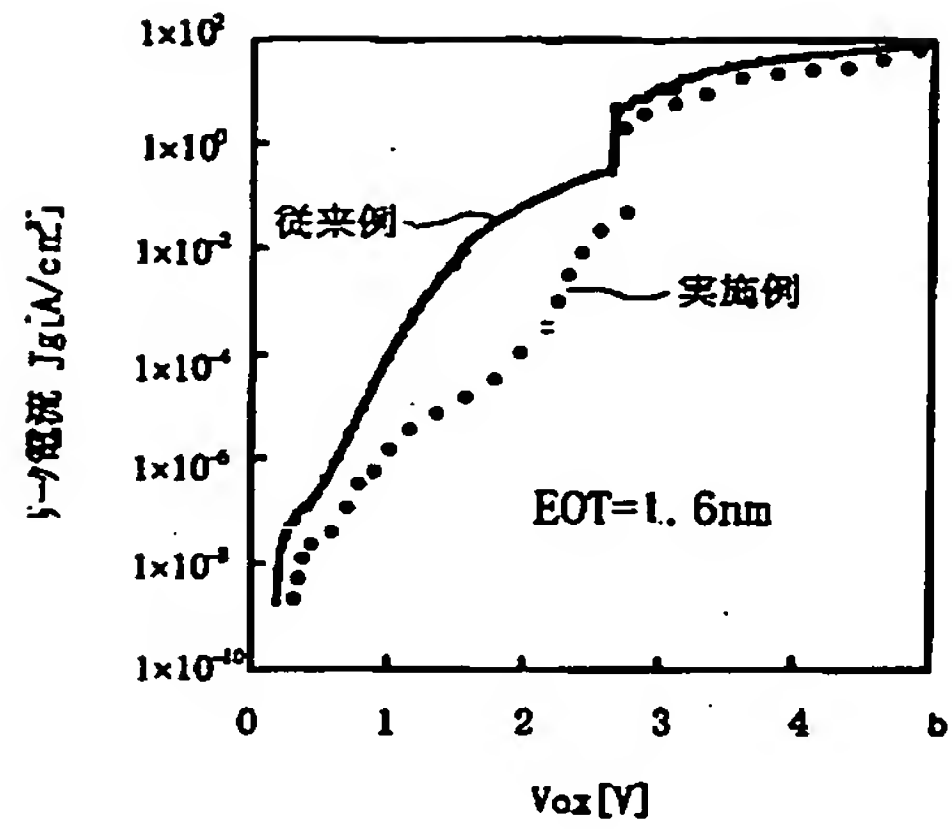
b3 第2の $\text{HfO}_2$  層14と第3の $\text{HfO}_2$  層15

【図1】

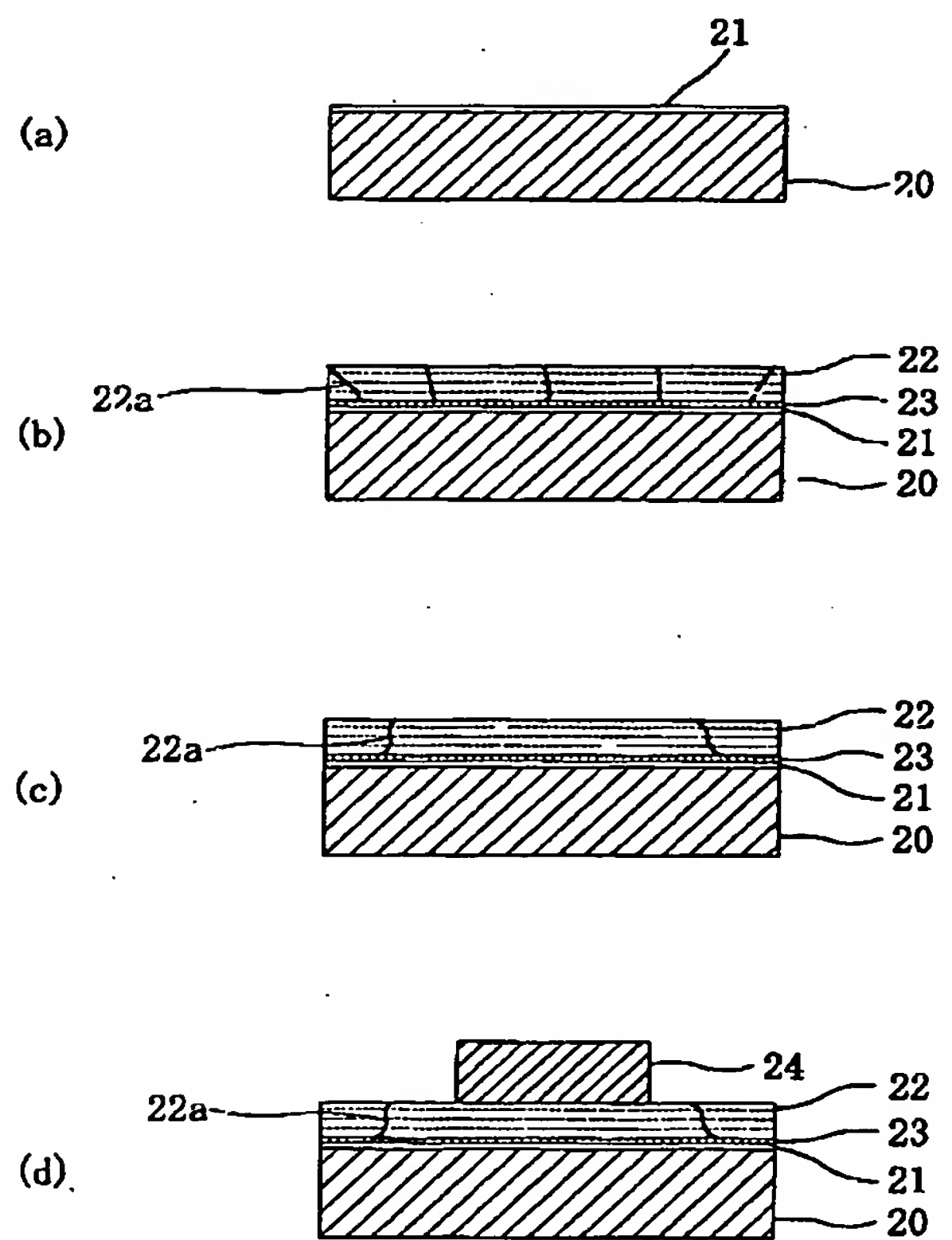


との界面

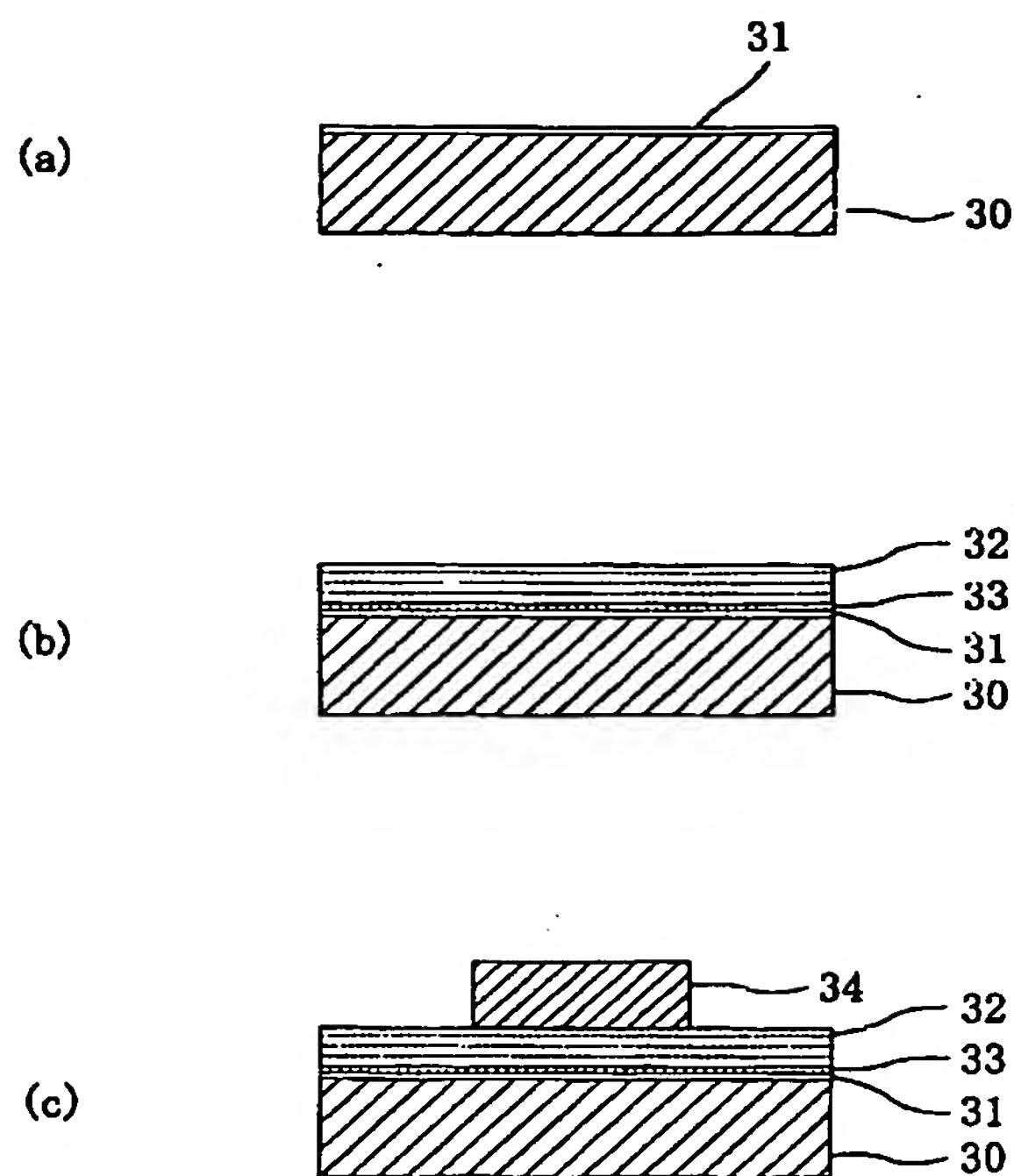
【図2】



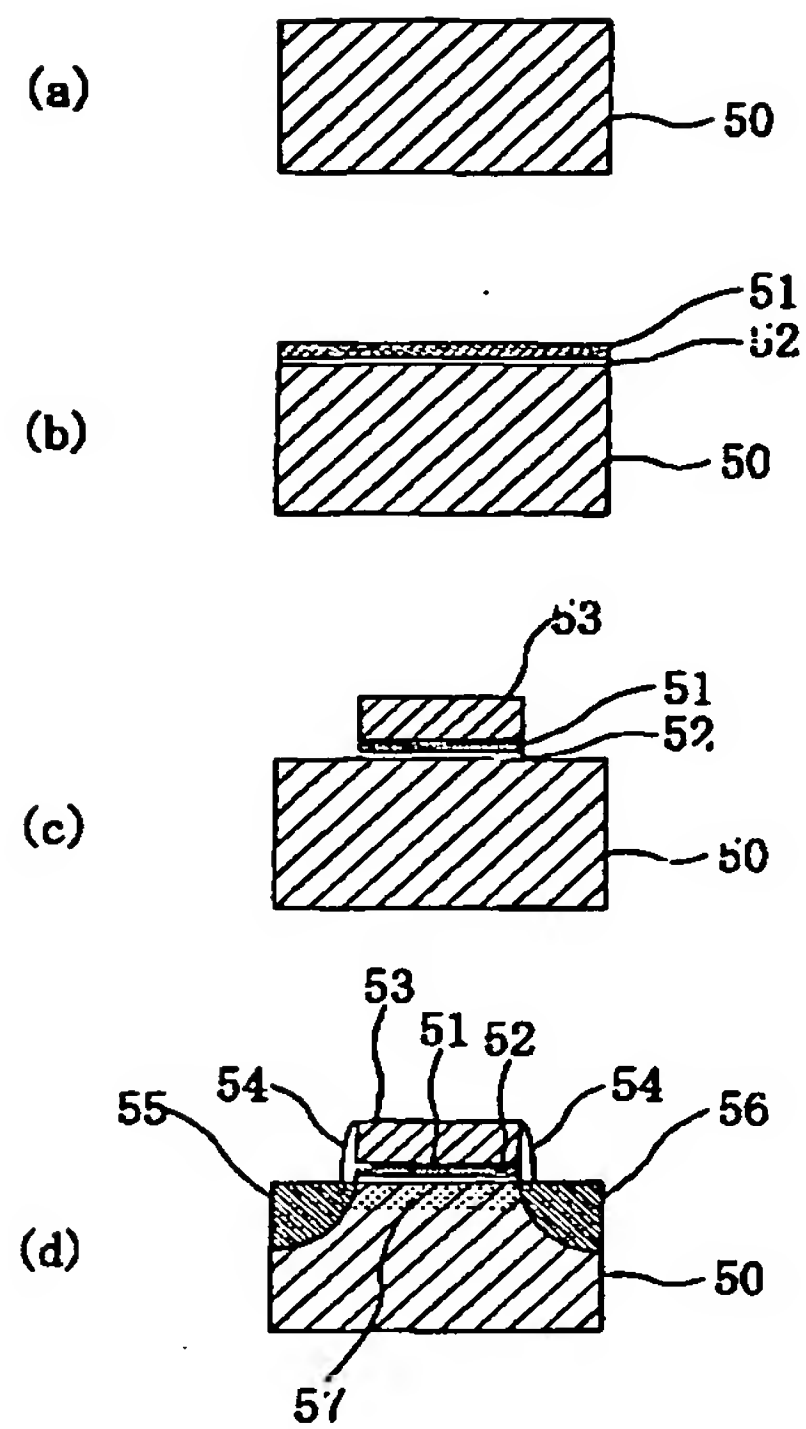
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

識別記号

F I

(参考)

H 0 1 L 29/78

Fターム(参考) 4M104 BB32 CC05 DD65 EE03 EE09  
 EE12 EE16 EE17 GG09 HH20  
 5F038 AC05 AC15 AC16 EZ14 EZ20  
 5F058 BA11 BC03 BD01 BD05 BF02  
 BF11 BF20 BH01 BJ04  
 5F140 AA19 AA24 AA34 AA39 BA01  
 BD02 BD07 BD11 BD13 BD15  
 BE02 BE05 BE08 BE09 BE10  
 BE16 BE17 BF01 BF10 BG11  
 BG38